

## SIGNAL LINE DRIVING CIRCUIT FOR LIQUID CRYSTAL DISPLAY

Patent Number: JP11095729

Publication date: 1999-04-09

Inventor(s): TAGUMA MICHIO; KANO SUSUMU

Applicant(s): TEXAS INSTR JAPAN LTD

Requested Patent:  JP11095729

Application Number: JP19970276526 19970924

Priority Number(s):

IPC Classification: G09G3/36; G02F1/133

EC Classification:

Equivalents:

### Abstract

**PROBLEM TO BE SOLVED:** To make a signal line driving circuit possible to perform dot inversion drive of a common constant drive method by a low power consumption system, in a TFT liquid crystal display.

**SOLUTION:** A drive part equivalent to adjacent two channels (columns) is constituted of a pair of registers 10L, 10R, a pair of first data latch circuits 12L, 12R, a pair of first switch circuits 14L, 14R, a pair of second data latch circuits 16L, 16R, a pair of level shifters 18L, 18R, a pair of DA converters 20L, 20R, a pair of output amplifiers 22L, 22R, a pair of second switch circuits 24L, 24R and a pair of output pads 26L, 26R. Respectively corresponding signal lines (not shown in figure) in a liquid crystal panel are connected to the output pads 26L, 26R. An opening/closing switch 30 is connected between the output pads 26L, 26R. The opening/closing switch 30 is closed temporarily when a polarity of alternation is inverted to short-circuit adjacent signal lines each other.

Data supplied from the esp@cenet database - I2







0) なお、1行のゲート線  $Y_1$  が駆動されると、その水平走査時間の開始時に閉開閉信号  $S[1]$  が高ルルになっている期間中に閉開スイッチ 3 が切られ、1行のゲート線  $Y_1$ 、 $X_{i+1}$  が互いに短絡し、上記のようである。

これにより、液晶パネル 100 の Y 方向においては、常に駆動電圧の極性が反転する。また、X 方向も 1 画素毎に (各隣接する 2 つの信号線  $X_1$ 、 $X_2$  で) 駆動電圧の極性が反転する。

0) なお、各切換回路 14L、14R、24R は、交流化信号 REV によりフレーム毎に切換される (すなわち各行のゲート線  $Y_1$  が駆動される)。このように反転する (各切換回路 14L、14R、24L、24R の位相差) フーム毎に反転する) ように制御される。このようにフレーム間の反転により、図 11 に示すようなコマ駆動法による電極圧波形が得られる。

0) 上記したように、本実施例による信号線  $D$  は、各複数合った 2 チャンネルの駆動部における各側の D/A コンバータ 20 により出力アンプ 12 によって駆動される。

2.1 を正極性の階調節用に構成するとともに右側の

2.1 を正極性の階調節用に構成するとともに右側の

いる期間中、つまり第2切換回路 24 L, 24 R が選択状態になっている期間中に、開閉部制御信号 SH が H になれば、開閉スイッチ 3.0 のトランジスタゲート T Gc がオシレーションする。そうすると、上記したように、このスイッチ 3.0 および出力バッフル 26 L, 26 R を介して相隣接する信号線 Xj, Xj+1 同士が電気的に短絡することになる。

【07.2.0】なお、図 7-2 および図 3 では、説明と理解の便宜上、各ラインにおいて 1 列の信号線 Xj に与えられる階級電圧と (j+1) 列の信号線 Xj+1 に与えられる階級電圧とはほぼ等しいものとして図示している。

【07.3.0】図 4 に、第 2 切換回路 24 L, 24 R および開閉スイッチ 3.0 の回路構成例を示す。この構成例では、各々の第 2 切換回路 24 L, 24 R が一对のトランジスタゲート T Gs, T Gb からなり、開閉スイッチ 3.0 が 1 個のトランジスタゲート T Gc からなる。切換回路 3.2 より、各々の第 2 切換回路 24 L, 24 R のトランジスタゲート T Gs, T Gb には切換部制御信号 SWa, SWb がそれぞれ与えられ、開閉スイッチ 3.0 のトランジスタゲート T Gc には開閉部制御信号 SH が与えられる。

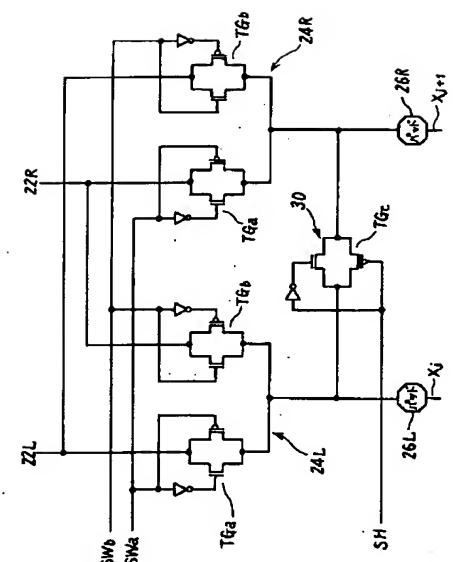
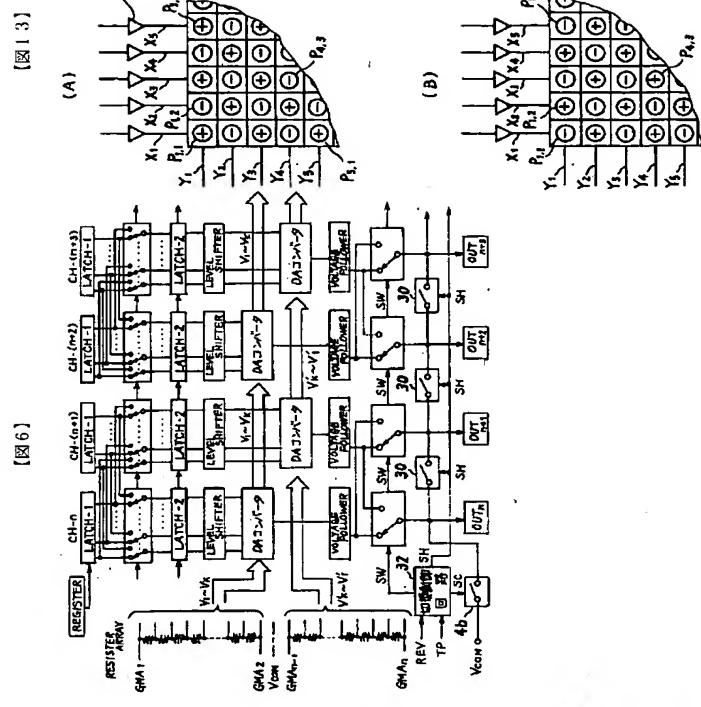
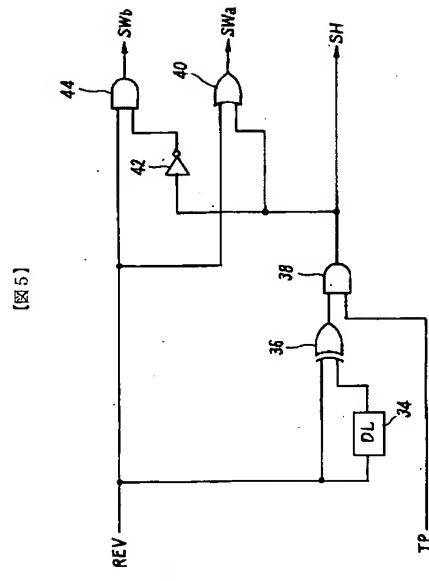
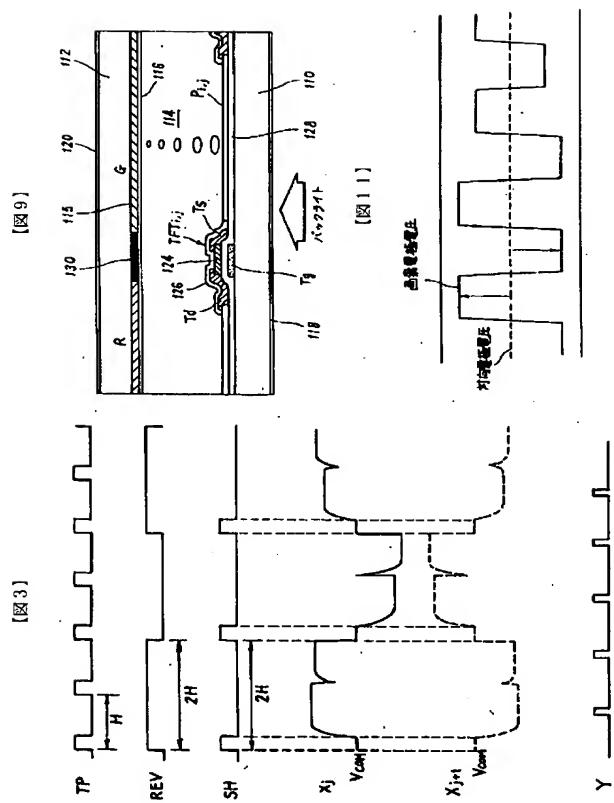
【07.4.0】切換部制御信号 [SWa, SWb] の論理値が [L, L] のときは、各々の第 2 切換回路 24 L, 24 R が [L, L] のときは、各々のトランジスタゲート T Gs, T Gb がオシレーションする。つまり第 2 切換回路 24 L, 24 R が選択状態では、交流部信号 REV とデータ・ラッシュ部信号 TP とに基づいて選択回路 3.4、排他の OR 回路 3.6, AND ゲート 3.8 により開閉部制御信号 SH が生成されるとともに、この開閉部制御信号 SH と交流部信号 REV とに基づいて反転回路 4.2, OR ゲート 4.0 および AND ゲート 4.4 によって切換部制御信号 SW (SWa, SWb) が生成される。

【07.9.0】すなわち、交流部信号 REV の論理値が H から L へ、またはその逆に反転した時に排他の OR 回路 3.6 の出力端子に論理値 H のバルス信号が発生される。このバルス信号のバルス幅は選択回路 3.4 における選択時間に相当、普通はデータ・ラッシュ部制御信号 TP のバルスよりも大きな幅で選択される。

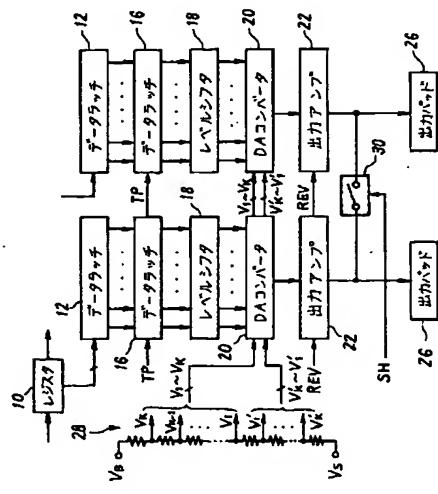
【08.0.0】データ・ラッシュ部制御信号 TP は交流部信号 REV に同調して、REV の論理値が [L, L] のときは、各々のトランジスタゲート T Gs, T Gb がオシレーションする。

REVの論理構が、REVに固有に与えられる。

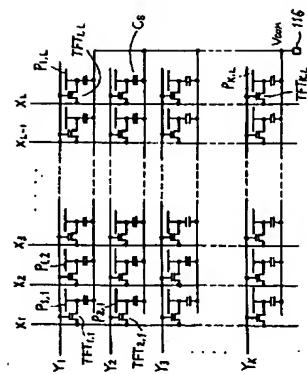




[図7]



[図10]



[図8]

